

Практическая работа №3.

Триггеры. Регистры.

Цель: изучить устройство и принцип действия триггеров и регистров.

Триггеры представляют собой импульсные устройства, которые характеризуются наличием двух устойчивых состояний. Простейший триггер имеет два входа и два выхода (рис. 1). Выходы обозначают Q и \bar{Q} . Выход Q называют прямым, а \bar{Q} - инверсным. Уровни напряжения на обоих выходах взаимно инверсны: если сигнал $Q = 1$, то $\bar{Q} = 0$, либо если $Q = 0$, то $\bar{Q} = 1$. Необходимо еще отметить, что состояние триггера, при котором $Q = 1$, а $\bar{Q} = 0$, называют единичным. При нулевом состоянии триггера $Q = 0$ и $\bar{Q} = 1$. С поступлением сигналов на входы триггера в зависимости от его состояния либо происходит переключение, либо исходное состояние сохраняется. В зависимости от функциональной связи между логическими сигналами на входах и выходах триггеры в интегральном исполнении имеют следующие наименования: $/R/S$, RS , D , T , JK и некоторые другие. Теми же буквами обозначают и входы триггеров.

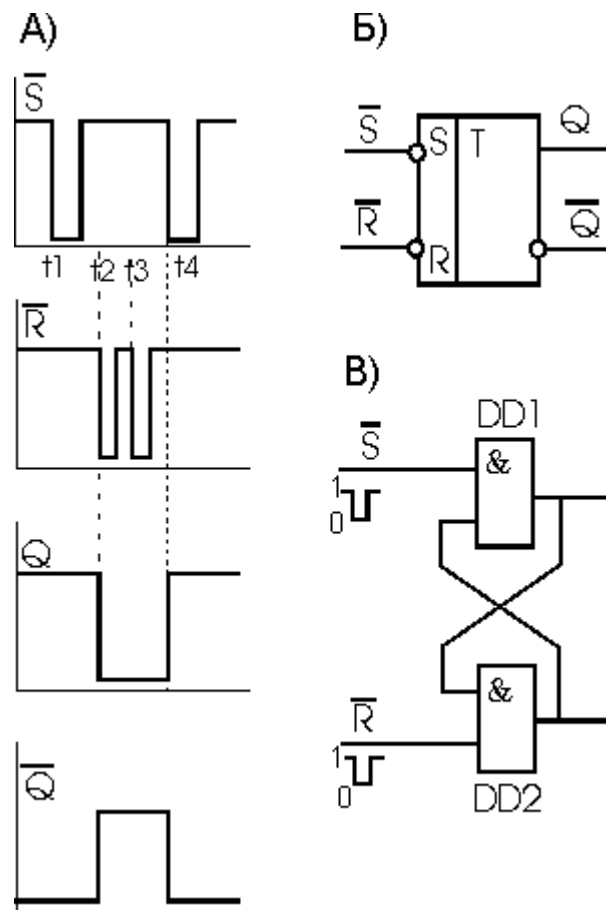


Рис. 1. $/R/S$ -триггер: А - временная диаграмма работы, Б - условное графическое обозначение, В - схема с двумя ЛЭ И-НЕ

На рис. 1 показан простейший триггер - типа $/R/S$. Здесь использованы только два ЛЭ И-НЕ. Назначение входов: $/S$ -для установки триггера в единичное состояние и $/R$ - для возвращения в нулевое состояние. Черточки над обозначениями входов показывают, что переключение триггера происходит, когда входное напряжение высокого уровня сменяется напряжением низкого уровня (рис. 1, а). Нетрудно видеть, что когда на входы не поступают сигналы, триггер сохраняет свое состояние. Если,

например, $Q = 1$ и $\bar{Q} = 0$, т. е. триггер в единичном состоянии, то, поскольку выход DD1 связан с одним из входов DD2, а выход DD2 - с одним из входов DD1, на двух входах DD2 действует напряжение высокого, а на выходе - низкого ($\bar{Q} = 0$) уровня. В то же время на одном из входов DD1 напряжение низкого, а на выходе - высокого уровня. Если теперь на вход \bar{S} поступает сигнал с обозначенной полярностью (момент t_1 , рис. 1, а), состояние триггера не изменится, потому что поступление сигнала на второй вход DD1 временно изменит только сочетание сигналов на входах (до подачи сигнала оно было 1 и 0, а стало 0 и 0), но выходное состояние DD1 остается при этом неизменным. Если, однако, сигнал поступит на вход \bar{R} (момент t_2), на обоих входах DD2 уже окажутся напряжения разного уровня, состояние ЛЭ изменится и на выходе его будет напряжение высокого уровня. На обоих входах DD1 окажутся напряжения высокого уровня, а на выходе - низкого, т. е. триггер "опрокинется" и перейдет в другое состояние: $Q = 0$ и $\bar{Q} = 1$.

Из сказанного следует, что смена состояния триггера происходит только при чередовании сигналов низкого уровня на входах \bar{S} и \bar{R} . При этом, если такие сигналы поступят на оба входа одновременно, то после их прекращения состояние триггера станет неопределенным (состояние $Q = 0$ или $Q = 1$ равновероятно). Поэтому одновременная подача сигналов низкого уровня на оба входа не разрешается.

Работа \bar{R}/\bar{S} -триггера характеризуется таблицей состояний (индексы n и $n+1$ означают принадлежность сигнала моменту времени t_n и следующему за ним t_{n+1}):

\bar{R}_n	\bar{S}_n	Q_{n+1}	\bar{Q}_{n+1}
1	1	Q_n	\bar{Q}_n
1	0	1	0
0	1	0	1
0	0	неопределенное состояние	

Не разрешается одновременная подача напряжения низкого уровня на оба входа \bar{R}/\bar{S} -триггера.

Триггер типа RS, как и \bar{R}/\bar{S} -триггер, "запоминает", на какой из двух входов (R или S) поступил последний сигнал: если на вход R, триггер находится в нулевом состоянии ($Q = 0$ и $\bar{Q} = 1$), а если на вход S, то в единичном состоянии ($Q = 1$ и $\bar{Q} = 0$).

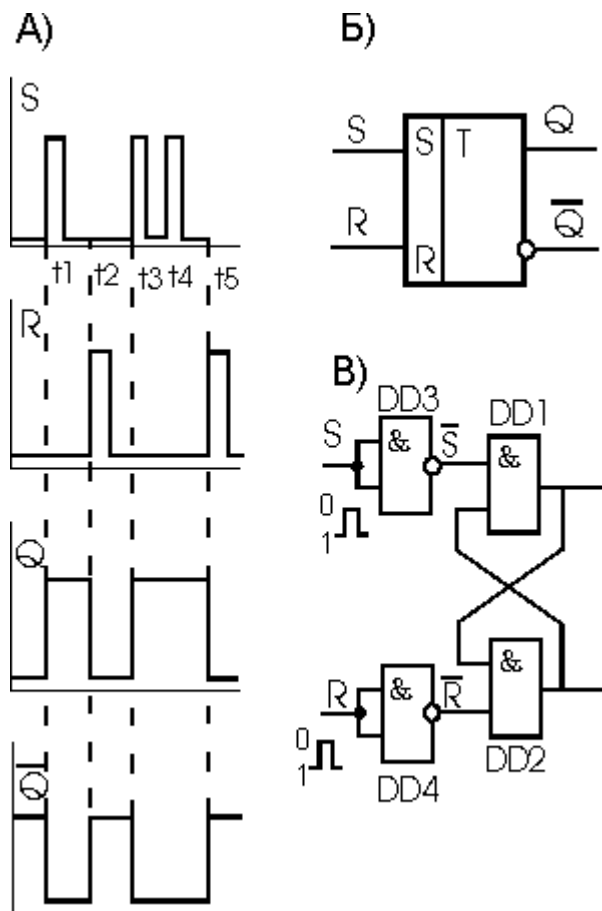


Рис. 2. RS-триггер: А - временная диаграмма работы, Б - условное графическое обозначение, В - схема с четырьмя ЛЭ И-НЕ.

На рис. 2 показана схема RS-триггера, выполненного на ЛЭ И-НЕ. Она отличается от схемы /R/S-триггера тем, что к каждому входу добавлено по инвертору (DD3 и DD4), которые только обеспечивают необходимый уровень входных сигналов.

Изменение входных сигналов от низкого уровня до высокого приводит к смене состояния триггера (моменты t_1 , t_2 , t_2 и t_5 ; в момент t_4 опрокидывания не происходит, так как триггер уже установлен в единичное состояние в предшествующий момент - t_3).

Все сказанное относительно RS-триггера сохраняет силу и для /R/S-триггера. Единственное различие касается инверсии уровней входных сигналов (R вместо /R и S вместо /S).

Работа RS-триггера характеризуется следующей таблицей состояний:

R_n	S_n	Q_{n+1}	\bar{Q}_{n+1}
0	0	Q_n	\bar{Q}_n
0	1	1	0
1	0	0	1
1	1	неопределенное состояние	

D-Триггер

Триггер типа D - это устройство с двумя устойчивыми выходными состояниями. Сменой состояния управляют сигналы на информационном входе D (рис. 5.1), но переключение происходит не сразу, а с приходом тактового импульса на второй вход C. Важнейшее свойство D-триггеров в том, что, как только на вход C поступает импульс, на выходе Q устанавливается тот же уровень напряжения, который в этот момент действует на входе D, т. е. переброс триггера происходит с некоторым отставанием dt относительно смены сигнала на входе D. Поэтому D-триггеры еще называют триггерами задержки.

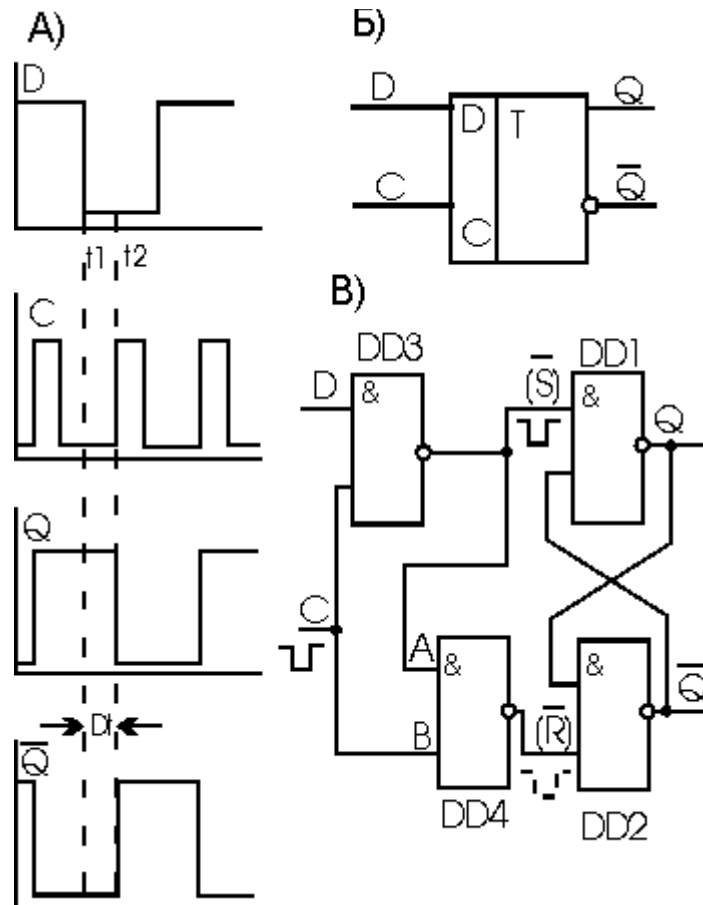


Рис. 3. D-триггер: А - временная диаграмма работы, Б - условное графическое обозначение, В - схема с четырьмя ЛЭ И-НЕ

Триггер, схема которого показана на рис. 3, в, содержит четыре ЛЭ И-НЕ. Здесь DD1 и DD2 образуют знакомый /R/S-триггер. Дополнительные элементы DD3 и DD4 превращают его в D-триггер. Действует D-триггер следующим образом. Если $D = 1$, то при наличии тактового импульса на выходе DD3 формируется сигнал, вид которого показан на рис. 3, в. Сигнал действует на /R/S-триггер подобно сигналу /S, и на выходе Q устанавливается напряжение высокого уровня ($Q = 1$, а $\bar{Q} = 0$). При этом на выходе DD4 напряжение высокого уровня, так как в отсутствие тактовых импульсов ($C = 0$) на входе А действует напряжение высокого и на входе В - низкого уровня, а с приходом тактового импульса ($C = 1$) на входе А возникает напряжение низкого, а на входе В - высокого уровня.

Если на вход D подано напряжение низкого уровня, на выходе DD3 будет напряжение высокого уровня, а тактовый импульс, инвертированный элементом DD4,

как показано на рис. 3, в штрихах, действует подобно сигналу /R. Благодаря этому триггер снова сменит состояние: $Q = 0$ и $\bar{Q} = 1$.

D-триггер имеет следующую таблицу состояний:

C	D _n	Q _{n+1}	\bar{Q}_{n+1}
1	1	1	0
1	0	0	1

Состояние выхода Q совпадает с состоянием входа D в момент поступления тактового импульса на вход C.

Т-Триггер

Триггер типа Т представляет собой устройство с двумя устойчивыми выходными состояниями, сменой которых управляют только по одному входу Т (рис. 6.1). Подача импульса на этот вход всегда приводит к смене состояния триггера. На выходе Q возникает уровень напряжения, бывший на \bar{Q} , и наоборот.

На рис. 4, в показана схема Т-триггера на ЛЭ И-НЕ. Отличие Т-триггера от D-триггера в том, что вход А элемента DD3 постоянно связан с выходом \bar{Q} . Работу Т-триггера легко понять. Когда $Q = 1$, состояние другого выхода $\bar{Q} = 0$. Так как вход А соединен с выходом \bar{Q} , то на входе А напряжение низкого уровня. После поступления тактового импульса на вход Т на выходе Q установится напряжение низкого уровня ($Q = 0$, и $\bar{Q} = 1$). При поступлении следующего тактового импульса на входе А уже будет напряжение высокого уровня и произойдет новая смена состояния (рис. 4 а).

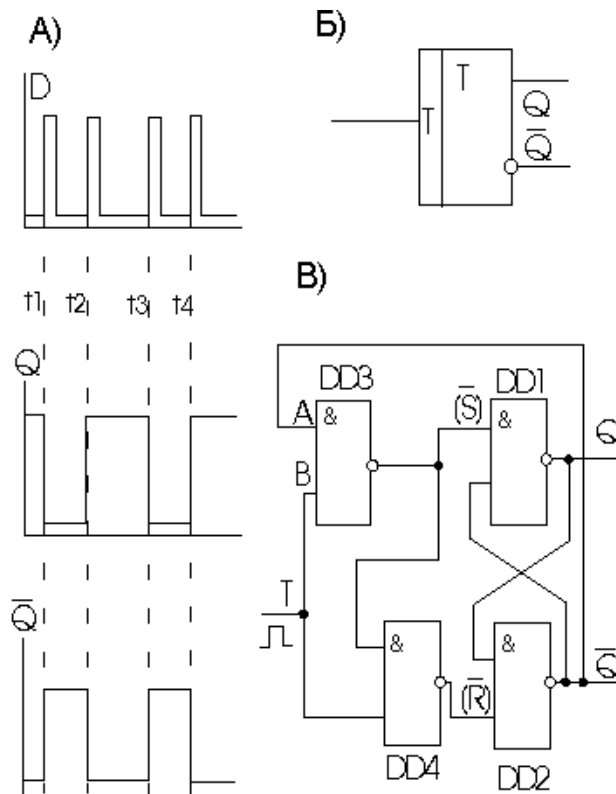


Рис. 4. Т-триггер: А - временная диаграмма работы, Б - условное графическое обозначение, В - схема с четырьмя ЛЭ И-НЕ

Состояние Т-триггера меняется с поступлением на вход очередного импульса. Таблица состояний Т-триггера имеет следующий вид:

Tn	Q _{n+1}	/Q _{n+1}
0	Q _n	/Q _n
1	/Q _n	Q _n

JK-Триггер

Триггер типа JK представляет собой устройство с двумя устойчивыми выходными состояниями, обладающее двумя информационными входами J и K (рис. 5). По принципу действия он сходен с RS-триггером, с той разницей, что в состояниях JK-триггера нет неопределенности при одновременном поступлении сигналов высокого уровня на оба входа. На рис. 5 В показана схема JK-триггера на ЛЭ И-НЕ. Она отличается от схемы RS-триггера только тем, что элементы DD3 и DD4 включены не как инверторы, а по входам A3 и A4 управляются сигналами с выходов триггера /Q и Q, соответственно.

Работу схемы поясняет рис. 5 А. Если JK-триггер находится в нулевом состоянии ($Q = 0$, а $/Q = 1$ -до момента t_1) и на вход J поступит сигнал показанного на рисунке вида, на выходе DD3 за счет связи выхода /Q с входом A3, возникнет сигнал низкого уровня. Он будет действовать подобно сигналу /S на входе /R/S-триггера, образованного элементами DD1 и DD2, т. е. вызовет смену состояния триггера. Если JK-триггер пребывал в единичном состоянии ($Q = 1$ и $/Q = 0$ - до момента t_2) и сигнал поступит на вход K, то, рассуждая аналогично, можно убедиться, что на выходе DD4 возникает сигнал (показан на рисунке штрихами), который действует подобно сигналу /R, т. е. состояние триггера снова изменится (в этом случае на выходе DD3 напряжение высокого уровня). Когда на обоих входах J и K одновременно напряжение низкого уровня, состояние триггера сохраняется.

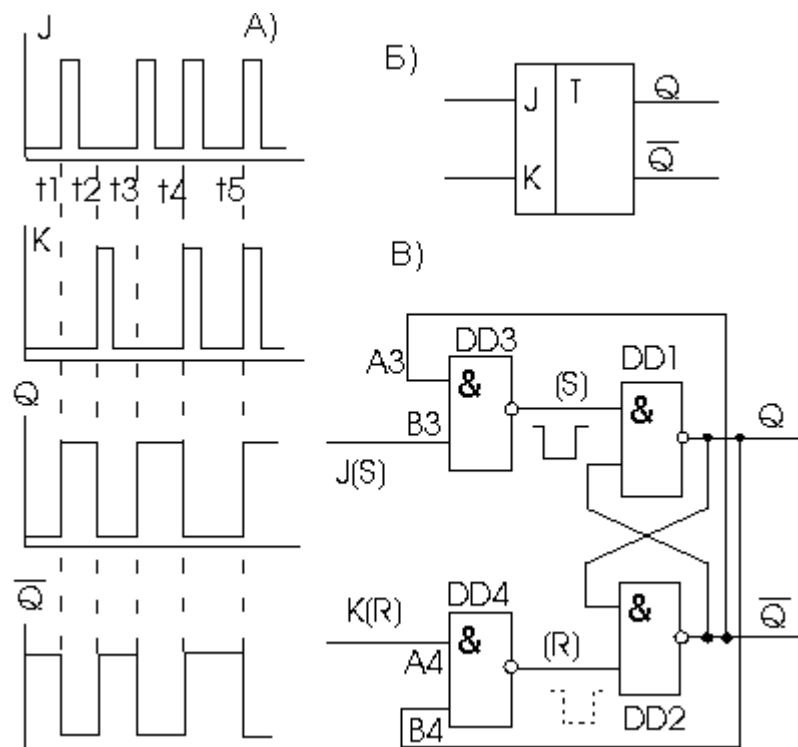


Рис. 5. JK-триггер: А - временная диаграмма работы, Б - условное графическое обозначение, В - схема с четырьмя ЛЭ И-НЕ

Когда на входы J и K одновременно поступает напряжение высокого уровня, дальнейшее поведение триггера зависит от его исходного состояния.

1. Исходное состояние JK-триггера - единичное ($Q = 1$ и $\bar{Q} = 0$ - после момента t_3). За счет связи \bar{Q} с A3 на входе A3 = 0 и на выходе DD3 сохраняется напряжение высокого уровня, на которое сигнал $J = 1$ на входе B3 не влияет. В то же самое время на выходе элемента И-НЕ (DD4) вследствие связи входа B4 с выходом Q ($Q = 1$) появится сигнал /R, от которого /R/S-триггер, состоящий из DD1 и DD2, сменит состояние ($Q = 0$, а $\bar{Q} = 1$ - после момента t_4).

2. Исходное состояние триггера - нулевое ($Q = 0$ и $\bar{Q} = 1$ - после момента t_4). Рассуждая аналогично, нетрудно убедиться, что на выходе DD4 сохранится напряжение высокого уровня, а на выходе DD3 появится сигнал /S, который сменит состояние /R/S-триггера ($Q = 1$, $\bar{Q} = 0$ - после момента t_5).

Таким образом, в обоих случаях JK-триггер меняет свое состояние. В этом и состоит различие между JK- и RS-триггерами.

Работа JK-триггера определяется следующей таблицей состояний:

J	K	Q_{n+1}	\bar{Q}_{n+1}
0	0	Q_n	\bar{Q}_n
1	0	1	0
0	1	0	1
1	1	\bar{Q}_n	Q_n

Регистры

Регистрами называют устройства, предназначенные для приема, хранения и передачи информации. Последняя в регистре хранится в виде двоичного кода, каждому разряду которого соответствует свой элемент памяти (разряд регистра), выполненный на основе триггеров RS-, JK-, или D-типа.

Классификацию регистров можно провести по различным признакам, важнейшими из которых являются способ ввода-вывода информации и характер представления вводимой и выводимой информации.

По способу ввода-вывода информации различают параллельные, последовательные и параллельно-последовательные регистры. В регистрах памяти и ввод информации и ее вывод осуществляются в параллельном коде. При этом время ввода (вывода) всего числа равно времени ввода (вывода) одного разряда. В регистрах сдвига число вводится и выводится последовательно разряд за разрядом. Время ввода (вывода) m -разрядного двоичного числа в таких регистрах определяется величиной mT_c , где T_c - период следования тактовых импульсов, осуществляющих ввод (вывод) информации. В параллельно-последовательном регистре ввод числа может осуществляться в параллельном коде, а вывод - в последовательном или наоборот.

По характеру представления вводимой и выводимой информации различают регистры однофазного и парафазного типов. В однофазных регистрах информация вводится в прямом либо в обратном кодах, а в парафазных - одновременно и в прямом и в обратном. Регистры первого типа строятся на основе D-триггеров, второго - на основе RS- или JK-триггеров. Вывод информации из регистров обоих типов может осуществляться в прямом и в обратном кодах.

Последовательные регистры сдвига

Схема одного из наиболее типичных регистров сдвига показана на рис. 8.1. Этот регистр реализован на четырех D-триггерах. Такой регистр называется 4-разрядным регистром сдвига, поскольку он позволяет хранить 4 двоичных разряда данных: A, B, C, D. С помощью таблицы и рис. 8.1 проследим за работой этого устройства. Сначала очистим регистр (установим уровни логического 0 на его выходах A, B, C, D). Для этого нужно подать логический 0 на вход очистки CLR. Полученному состоянию регистра сдвига соответствует строка 1 таблицы. До прихода тактового импульса выходы регистра остаются в состоянии 0000. Подадим первый импульс на синхронизирующий вход CLK; индикатор покажет число 1000 (строка 3 таблицы), поскольку на тактовом импульсе логическая 1 с информационного входа триггера TA переносится на его выход Q. Теперь при наличии логической 1 на информационном входе регистра эта единица с каждым тактовым импульсом вводится в разряд A, а введенные ранее единицы сдвигаются на одну позицию (разряд) вправо (тактовые импульсы 2 и 3;). Точно так же при подаче на информационный вход логического 0 этот нуль при каждом тактовом импульсе вводится в разряд A, а введенные ранее единицы и нули сдвигаются вправо (тактовые импульсы 4-8, см. таблицу).

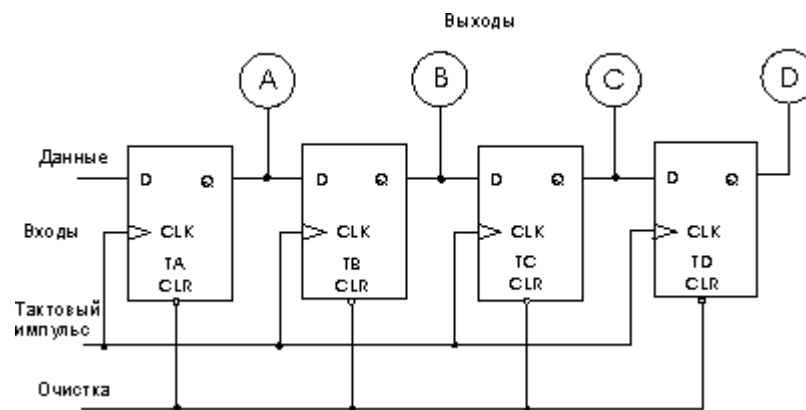


Рис. 8.1 4-разрядный последовательный регистр на D-триггерах

Перед приходом тактового импульса 9 на информационном входе устанавливается 1, а перед приходом импульса 10 этот вход возвращается к 0. В результате во время действия тактовых импульсов 9-13 введенная в регистр (на импульсе 9) единица будет смещаться на индикаторе вправо. Строка 15 таблицы показывает, что на импульсе 13 эта единица покидает крайний правый разряд регистра сдвига и теряется.

Входы				Выходы			
Номер строки	Очистка	Данные	Номер Тактового импульса	ТА	ТВ	ТС	TD
				A	B	C	D
1	0	0	0	0	0	0	0
2	1	1	0	0	0	0	0
3	1	1	1	1	0	0	0
4	1	1	2	1	1	0	0
5	1	1	3	1	1	1	0
6	1	0	4	0	1	1	1
7	1	0	5	0	0	1	1
8	1	0	6	0	0	0	1
9	1	0	7	0	0	0	0
10	1	0	8	0	0	0	0
11	1	1	9	1	0	0	0
12	1	0	10	0	1	0	0
13	1	0	11	0	0	1	0
14	1	0	12	0	0	0	1
15	1	0	13	0	0	0	0

Устройство, схема которого приведена на рис. 8.1, называется последовательным регистром сдвига. Термин "последовательный" отражает тот факт, что в этот регистр данные вводятся поразрядно. Например, чтобы ввести в регистр двоичную комбинацию 0111, нужно пройти всю последовательность состояний от строки 1 до строки 6 в таблице. Последовательная загрузка 4-битовой комбинации 0111 в последовательный регистр сдвига осуществляется за 5 тактов (строку 2 можно

исключить). Как видно из таблицы (строки 10-14), за 5 тактов осуществляется и загрузка комбинации 0001.

Регистр сдвига на рис. 8.1 можно трансформировать в 5-разрядный, добавив в схему еще один D-триггер. Регистры сдвига обычно бывают 4-, 5- или 8-разрядными. В них можно использовать не только D-триггеры, но и триггеры другого типа (например, JK-триггеры или тактируемые RS-триггеры).

Параллельные регистры сдвига

Последовательный регистр сдвига, с работой которого мы познакомились в предыдущем разделе, обладает двумя недостатками: он позволяет вводить только по одному биту информации на каждом тактовом импульсе и, кроме того, каждый раз при сдвиге информации в регистре вправо теряется крайний правый информационный бит. На рис. 9.1 показана система, которая позволяет осуществлять одновременную параллельную загрузку 4 бит информации.



Рис. 9.1 Структурная схема 4-разрядного параллельного кольцевого регистра

Входы A, B, C, D в этом устройстве являются информационными входами. Эту систему можно снабдить еще одной полезной характеристикой - возможностью кольцевого перемещения информации, когда данные с выхода устройства возвращаются на его вход и не теряются.

Схема 4-разрядного параллельного кольцевого регистра сдвига показана на рис. 9.2. В этом регистре сдвига используются четыре JK-триггера. Обратите внимание на цепь обратной связи с выходов Q и /Q триггера TD на входы J и K триггера TA. Благодаря этой цепи обратной связи введенная в регистр информация, которая обычно теряется на выходе триггера TD, будет циркулировать по регистру сдвига. Сигналом очистки регистра (установки его выходов в состояние 0000) является уровень логического 0 на входе CLR. Входы параллельной загрузки данных A, B, C и D связаны со входами предварительной установки триггеров (PS), что позволяет устанавливать уровень логической 1 на любом выходе (A, B, C, D). Если на один из этих входов даже кратковременно подать логический 0, то на соответствующем выходе будет установлена логическая 1. Подача тактовых импульсов на входы CLK всех JK-триггеров приводит к сдвигу информации в регистре вправо. Из триггера TD данные передаются в триггер TA (кольцевое перемещение информации).

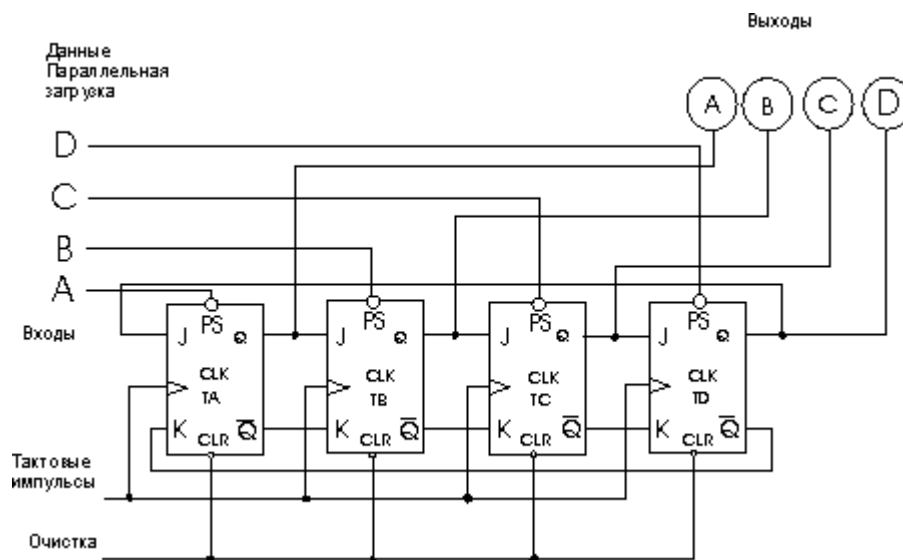


Рис. 9.2 Логическая схема 4-разрядного параллельного кольцевого регистра

Таблица поможет вам понять принцип работы параллельного регистра сдвига. При включении питания на выходах регистра может установиться любая двоичная комбинация, такая, например, как в строке 1 таблицы. Подача логического 0 на входы CLR триггеров инициирует очистку регистра (строка 2). Далее (строка 3) осуществляется загрузка в регистр двоичной комбинации 0100. Последовательные тактовые импульсы вызывают сдвиг введенной информации вправо (строки 4-8). Обратите внимание на строки 5 и 6: единица из крайнего правого триггера TD переносится в крайний левый триггер ТА. В данном случае можно говорить о кольцевом перемещении единицы в регистре.

Входы							Выходы			
Номер строки	Очистка	Параллельная загрузка данных				Номер тактового импульса	ТА	ТВ	ТС	TD
		A	B	C	D		A	B	C	D
1	1	1	1	1	1	0	1	1	1	0
2	0	1	1	1	1	0	0	0	0	0
3	1	1	0	1	1	0	0	1	0	0
4	1	1	1	1	1	1	0	0	1	0
5	1	1	1	1	1	2	0	0	0	1
6	1	1	1	1	1	3	1	0	0	0
7	1	1	1	1	1	4	0	1	0	0
8	1	1	1	1	1	5	0	0	1	0
9	0	1	1	1	1		0	0	0	0
10	1	1	0	0	1		0	1	1	0
11	1	1	1	1	1	6	0	0	1	1
12	1	1	1	1	1	7	1	0	0	1
13	1	1	1	1	1	8	1	1	0	0
14	1	1	1	1	1	9	0	1	1	0
15	1	1	1	1	1	10	0	0	1	1

Далее (строка 9) вновь инициируется очистка регистра с помощью входа CLR. Загружается новая двоичная комбинация 0110 (строка 10). Подача 5 тактовых импульсов (строки 11-15) приводит к кольцевому сдвигу информации на 5 позиций вправо. Обратите внимание, что для возвращения данных в исходное состояние требуется 4 тактовых импульса. Если в регистре сдвига на рис. 9.1 разорвать петлю обратной связи, то мы получим обычный параллельный регистр сдвига: возможность кольцевого перемещения информации будет исключена.

Практическая часть.

Привести в отчете схемы и таблицы истинности основных разновидностей триггеров и регистров. Быть готовым объяснить принципы их действия.